

Silicide layers are formed at electrode lead-out portions of p-n junction diodes which are connected in parallel and in directions opposite to each other between the gate and source of a junction field effect transistor. Accordingly, the time 5 to stabilize an electret condenser microphone is shortened.

Specifically, as for the diode Di2 area, a p⁺-type semiconductor region 5 is formed in an n-type semiconductor region 2 which is surrounded by a p-type semiconductor region 1, and thus a p-n junction portion 7 is formed. The silicide 10 layers 6 are formed respectively at the lead-out portions of the metal electrodes 9 of both the diode Di1 area and the diode Di2 area, and thus strains are introduced only in the diode areas by volume shrinkage. That is, by the volume shrinkage occurred when forming the silicide layers, the strains are introduced 15 only in the diode areas, and thus a structure, in which the lifetime of carriers are shortened and impedance is lowered, is obtained.

S62-174975

⑬ 日本国特許庁 (JP) ⑭ 特許出願公開
 ⑮ 公開特許公報 (A) 昭62-174975

⑯ Int.CI. H 01 L 29/80 29/46 29/80 29/91	識別記号 厅内整理番号 C-8122-5F A-7638-5F Z-8122-5F A-7638-5F	⑯ 公開 昭和62年(1987)7月31日 審査請求 未請求 発明の数 1 (全4頁)
--	--	--

⑰ 発明の名称 半導体装置

⑱ 特願 昭61-17114
 ⑲ 出願 昭61(1986)1月28日

⑳ 発明者 鮫島 博之 東京都港区芝5丁目33番1号 日本電気株式会社内
 ㉑ 発明者 萩本 佳三 東京都港区芝5丁目33番1号 日本電気株式会社内
 ㉒ 出願人 日本電気株式会社 東京都港区芝5丁目33番1号
 ㉓ 代理人 弁理士 内原 晋

明細書

1. 発明の名称

半導体装置

2. 特許請求の範囲

接合型電界効果トランジスタのゲートとソースとの間にp-n接合型ダイオードが逆方向で並列に接続されている半導体装置において、該p-n接合型ダイオードが電極取り出し部にシリサイド層を有することを特徴とする半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置に関し、特にエレクトレトコンデンサマイクロホン(以降ECMと呼ぶ)に使用する接合型電界効果トランジスタ(以降J-FETと呼ぶ)に関するものである。

〔従来の技術〕

従来、この種のECM用J-FETは第4図に示

すような使い方をされる。第4図において、音声等がECMに入ると、ECMの振動板10が振動し、その容量変化がJ-FETのゲートGに伝えられ増幅する働きをする。このとき、J-FETの入力インピーダンスを下げてECMの安定時間を早める必要があり、第2図に示すようにゲートGとソースSとの間にp-n接合型ダイオードDi1およびDi2が逆方向・並列に接続された構成となっていた。

すなわち、ECM用J-FETは第5図に示すように、電源VDDを投入すると、ゲートGの電位VGは時定数τ1でピーク値Vmaxになった後、放電されて定常値V00になる。この時の時定数τ2を安定時間と呼んでいるが、ゲートG-ソースS間にダイオードが挿入されていない場合には放電がほとんどないため、安定時間は異常に長いものとなり、ECMが安定に働くまでに長時間を要することになる。

〔発明が解決しようとする問題点〕

上述した従来のECM用J-FETはゲートG -

特開昭62-174975(2)

ソースS間に挿入されたダイオードにより、ダイオードが挿入されていない場合よりは入力インピーダンスは低くなり安定時間は短くなっているが、製品によっては、7~10秒要しており、電源投入直後は出力が歪んでしまい電話機等に使用する場合は支障があった。

p-n接合ダイオードの電流-電圧特性(V-I特性)は次式(1)のように表わされ、ゲートG-S間に挿入されたダイオードが逆方向に接続されたものとして考えることができる。

$$I = qA \left(\frac{D_p}{L_p} p_n + \frac{D_n}{L_n} n_p \right) \left(\exp \left(\frac{qV}{mkT} \right) - 1 \right) \quad (1)$$

Aは接合面積、mは1~2の値をもつ定数、
D_pとD_nは正孔と電子の拡散定数、
L_p = $\sqrt{D_p \tau_p}$ は正孔の拡散距離、
L_n = $\sqrt{D_n \tau_n}$ は電子の拡散距離、
p_nは平衡状態におけるn領域での正孔密度
 $\approx n_i^2 / N_D$ 。

もつながる。③のキャリアのライフタイムを下げるとは熱歪を入れる等により比較的容易であり、従来のECM用J-FETでも安定時間改善のため熱歪を入れたものもある。しかし熱歪を入れると、ダイオード部だけではなくJ-FET部にも歪が入ることになり、ノイズが大きくなってしまうという欠点がある。

〔問題点を解決するための手段〕

本発明の半導体装置は、接合型電界効果トランジスタのゲートとソースとの間にp-n接合型ダイオードが逆方向で並列に接続されている半導体装置において、このp-n接合型ダイオードが電極取り出し部にシリサイド層を有していることを特徴としている。

〔実施例〕

次に本発明について図面を参照して説明する。

第1図は本発明の一実施例の縦断面構造図である。J-FET部、Di1部、Di2部を区分して示してある。J-FET部は、P型半導体領域1に取り囲まれたn型半導体領域2内にゲート領域

n_pは平衡状態におけるP領域での電子密度
 $\approx n_i^2 / N_A$ 。

n_iは室温(300K)ではn_i ≈ 1.5 × 10¹⁰/cm³、
N_D、N_Aはドナーおよびアクセプタ濃度。

従来のECM用J-FETの安定時間がやや長いという問題は、p-n接合ダイオードのインピーダンスが高いことであり、インピーダンスを下げるには(1)式より、

- ① 接合面積Aを大きくする。
- ② p-n接合ダイオードのドナーおよびアクセプタ濃度N_DおよびN_Aを小さくする。
- ③ キャリアのライフタイムτ_p、τ_nを小さくする。

ことにより可能である。

しかしながら①の接合面積を大きくすることはコスト上不利であり、また容量も大きくなってしまう。また②のp-n接合ダイオードのドナー、アクセプタ濃度N_D、N_Aを小さくすることは、ダイオード部とJ-FET部との製造方法を変更しなければならず、工程が複雑になり、コストup IC

域となるP⁺型半導体領域5と、ソースS及びドレインDのオーミックコンタクト領域4とが形成されている。ダイオードDi1部はP型半導体領域1により取り囲まれたn型半導体領域2内にP⁺型オーミックコンタクト領域4が形成され、P型半導体領域1とn型半導体領域2とでp-n接合部7が形成されている。ダイオードDi2部はP型半導体領域1に取り囲まれたn型半導体領域2にP⁺型半導体領域5が形成され、n型半導体領域2とP⁺型半導体領域5とでp-n接合部7が形成されている。ダイオードDi1部、Di2部の金属電極9の取り出し部にはシリサイド層6が形成され、ダイオード部にのみ体積収縮により歪が入れられている。すなわち、シリサイド層形成の際に起る体積収縮により、ダイオード部にのみ歪を入れ、キャリアのライフタイムτ_p、τ_nを小さくしてインピーダンスを下げた構造となっている。

〔発明の効果〕

以上説明したように本発明は、ECM用J-FET

特開昭62-174975(3)

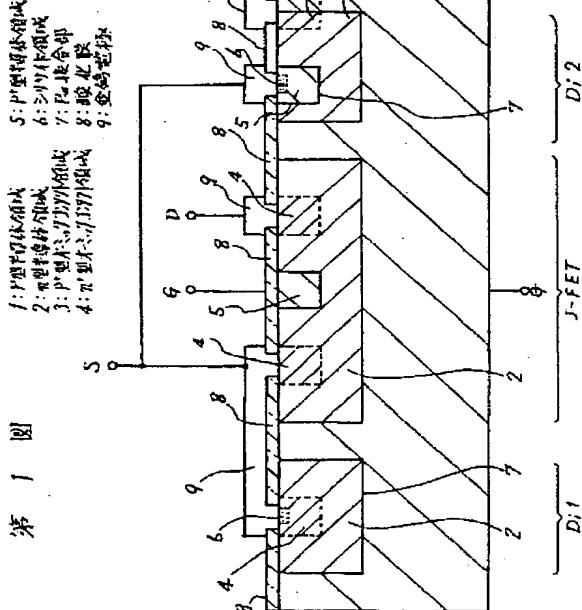
のゲートとソースとの間に逆方向で並列に接続されているp-n接合ダイオードの金属電極取り出し部にシリサイド層を形成することにより、ダイオード部にのみ歪を入れることができるので、キャリアのライフタイム τ_p, τ_n を小さくしてインピーダンスを下げることができ、ECMの安定時間は短くすることができる。また、J-FET部に歪が入らないためにノイズも大きくなりず、使いやすいECM用J-FETを得ることができるという効果がある。

4. 図面の簡単な説明

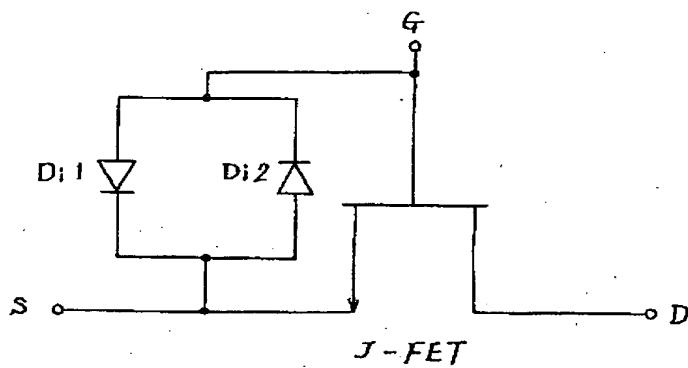
第1図は本発明の一実施例のECM用J-FETの縦断面構造図、第2図はECM用J-FETの等価回路図、第3図は従来のECM用J-FETの縦断面構造図、第4図はECMの構成図、第5図はゲート電圧 V_g の安定時間を説明するためのグラフである。

1 …… p型半導体領域、2 …… n型半導体領域、
3 …… p⁺型ホーミックコンタクト領域、4 ……

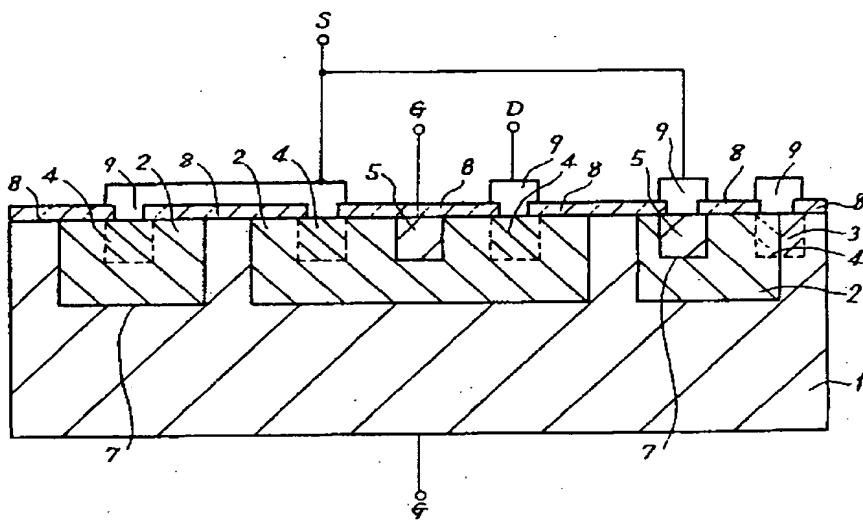
代理人弁理士 内原晋



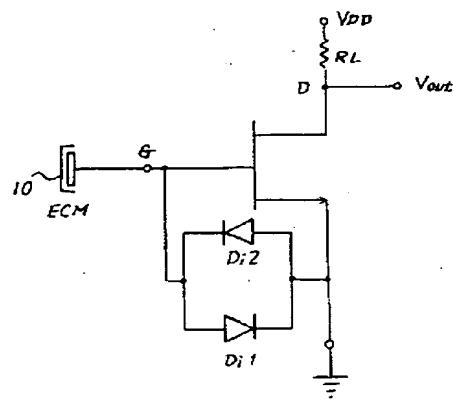
第2図



第3図



第4図



第5図

